

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-242431

(43)Date of publication of application : 31.08.1992

(51)Int.Cl.

G06F 9/38

(21)Application number : 03-015797

(71)Applicant : KOUFU NIPPON DENKI KK

(22)Date of filing : 16.01.1991

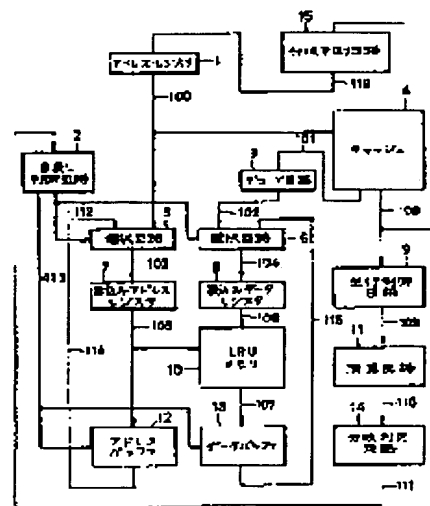
(72)Inventor : HASHIMOTO TAKATOSHI

(54) INFORMATION PROCESSOR

(57)Abstract:

PURPOSE: To improve the efficiency of compartment utilization at the time of next block expelling of a cache circuit by writing the contents of an LRU memory back by an information processor, which performs branch prediction, according to the result of a failure in the branch prediction and invalidating the access result of the LRU memory.

CONSTITUTION: An advanced control circuit 9 performs advanced control over only a branch instruction from the cache 4 which has plural compartments. When the LRU memory 10 is updated accompanying following instruction taking-out operation based upon the branch prediction, the update address 105 of the LRU memory 10 and the data 107 of the LRU memory 10 before the update are written in an address buffer 12 and a data buffer 13 respectively. When the branch decision result 111 from a branch decision circuit 14 indicates the failure in the branch prediction, a writing-back control circuit 2 generates a signal 112 and selecting circuits 5 and 6 select a write-back address and write-back data. The write-back data is stored in the LRU memory 10 indicated by the address.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

【特許請求の範囲】

【請求項1】 2つ以上のコンパートメントからなるキャッシュ記憶手段と、このキャッシュ記憶手段への索引時内容を更新するリーストリセントリユーズドメモリ手段と、分岐命令の分岐判定結果を予測された前記分岐命令の後続命令の取出しの際前記リーストリセントリユーズドメモリ手段の更新アドレス及び更新以前の記憶内容を保持するバッファ手段と、前記分岐命令の分岐判定結果の予測が失敗していることを示す信号により前記バッファ手段からの更新アドレスで示される前記リーストリセントリユーズドメモリ手段の記憶位置に前記更新以前の記憶内容を書戻す書戻し制御手段とを含むことを特徴とする情報処理装置。

【発明の詳細な説明】**【0001】**

【技術分野】 本発明は情報処理装置に関し、特に分岐予測を行う情報処理装置に関する。

【0002】

【従来技術】 従来、この種の分岐予測を行う情報処理装置では、後続の命令を取出したときにキャッシュ回路のヒットコンパートメントによりリーストリセントリユーズド（以下LRU）メモリを更新していた。

【0003】 このように分岐命令で予測した後続の命令語を先行制御するため、LRUメモリ内に後続命令により索引されたキャッシュ回路コンパートメントが一番最初にアクセスされたという情報が書込まれる。そのために、予測に失敗して分岐命令の後続の命令語が予測した命令語と異なる場合、予測した命令語の先行制御の結果はキャンセルされる。しかし、予測した命令語をアクセスしたという履歴はLRUメモリに残るため、キャッシュの使用効率が悪くなるという欠点がある。

【0004】

【発明の目的】 本発明の目的は、分岐予測失敗時におけるLRUメモリの効率的な使用を図ることが可能な情報処理装置を提供することである。

【0005】

【発明の構成】 本発明による情報処理装置は、2つ以上のコンパートメントからなるキャッシュ記憶手段と、このキャッシュ記憶手段への索引時内容を更新するリーストリセントリユーズドメモリ手段と、分岐命令の分岐判定結果を予測された前記分岐命令の後続命令の取出しの際前記リーストリセントリユーズドメモリ手段の更新アドレス及び更新以前の記憶内容を保持するバッファ手段と、前記分岐命令の分岐判定結果の予測が失敗していることを示す信号により前記バッファ手段からの更新アドレスで示される前記リーストリセントリユーズドメモリ手段の記憶位置に前記更新以前の記憶内容を書戻す書戻し制御手段とを含むことを特徴とする。

【0006】

【実施例】 次に、本発明の一実施例について図面を参照

して詳細に説明する。

【0007】 図1を参照すると、本発明の一実施例におけるアドレスレジスタ1は、キャッシュ回路4に対する読出アドレスを保持する。書戻し制御回路2はアドレスバッファ12及びデータバッファ13に対する書戻しを制御する。

【0008】 キャッシュ回路4は複数のコンパートメントを有する。デコード回路3はキャッシュ回路4でのヒットコンパートメントによりLRU更新データを作成するものである。

【0009】 選択回路5は書戻し制御回路2からの選択指示信号112によりアドレスレジスタ1からのキャッシュリードアドレス100とアドレスバッファ12からの書戻しアドレス114とのどちらか一方を選択する。選択回路6は、デコード回路3からのデコード出力102とデータバッファ13からの書戻しデータ115のどちらか一方を選択指示信号112により選択する。

【0010】 書込みアドレスレジスタ7は選択回路5で選択された選択アドレス103を格納する。書込みデータアドレスレジスタ8は選択回路6で選択されたデータ104を格納する。LRUメモリ10は、書込みアドレスレジスタ7からのLRU更新アドレス105で示される記憶装置に、キャッシュ回路4のヒットコンパートメントの履歴を示すLRU更新データ106を記憶する。

【0011】 アドレスバッファ12は、書込みアドレスレジスタ7からのLRU更新アドレスを、書戻し制御回路2からのバッファアドレス113の示す位置に格納する。データバッファ13は、LRUメモリ10からのLRU更新前データ107を、回路2からのバッファアドレス113の示す位置に格納する。

【0012】 この他、本発明の一実施例は、命令の先行制御を行う先行制御回路9、命令の演算処理を実行する演算回路11、この演算回路11での演算結果により分岐予測を行う分岐予測判定回路14、及び分岐判定を予測する分岐予測回路15を含む。

【0013】 次に本発明の一実施例の動作について図面を参照して詳細に説明する。図1を参照すると、分岐命令がキャッシュ回路4から取出され先行制御回路9で先行制御が行われる。これとともにキャッシュ回路4からのキャッシュリードデータ108により、分岐予測回路15は分岐を予測し、予測アドレス116をアドレスレジスタ1に格納する。アドレスレジスタ1からのアドレス100、すなわち分岐予測アドレスにより、予測された後続の命令108がキャッシュ回路4から取出され、先行制御回路9に与えられる。

【0014】 分岐予測での後続命令取出し動作に伴うLRUメモリ更新時にLRUメモリ10の更新アドレス105及び更新以前のLRUメモリ10のデータ107がアドレスバッファ12及びデータバッファ13に書込まれる。この分岐命令は先行制御回路9からの先行演算結果

109で演算回路11において演算処理が実行される。

【0015】分岐判定回路14は、演算結果110に基づいて予測した後続命令の予測が正しいか否かを判定する。分岐判定回路14からの分岐判定結果111が分岐予測の失敗を示す場合、この分岐判定結果111にตอบสนองして、書戻し制御回路2は、選択回路5で書戻しアドレス114を選択するとともに、選択回路6で書戻しデータ115を選択するよう選択指示信号112を発生する。

【0016】この信号112により選択回路5で選択されたアドレスはLRUメモリ10に与えられる。このアドレスで指示されたLRUメモリ10の格納位置に選択回路6で選択された書戻しデータが格納される。

【0017】また、分岐判定回路14からの分岐判定結果111が分岐予測の成功を示す場合、書戻し制御回路2はアドレスバッファ12及びデータバッファ13に与えられるバッファアドレス113をクリアする。

【0018】

【発明の効果】以上説明したように本発明の情報処理装置は、分岐予測失敗の結果でLRUメモリの内容を書戻すことによりアクセス結果を無効にした次のキャッシュ

のブロック吐出し時のコンパートメント利用の効率化が実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す図である。

【符号の説明】

- 1 アドレスレジスタ
- 2 書戻し制御回路
- 3 デコード回路
- 4 キャッシュ回路
- 5 アドレス選択回路
- 6 データ選択回路
- 7 更新アドレスレジスタ
- 8 更新データレジスタ
- 9 先行制御回路
- 10 LRUメモリ
- 11 演算回路
- 12 アドレスバッファ
- 13 データバッファ
- 14 分岐判定回路
- 15 分岐予測回路

【図1】

